

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-018790
(43)Date of publication of application : 17.01.1997

(51)Int.Cl. H04N 5/335
H04N 5/225

(21)Application number : 07-163719 (71)Applicant : SHARP CORP
(22)Date of filing : 29.06.1995 (72)Inventor : DEGUCHI AKITERU

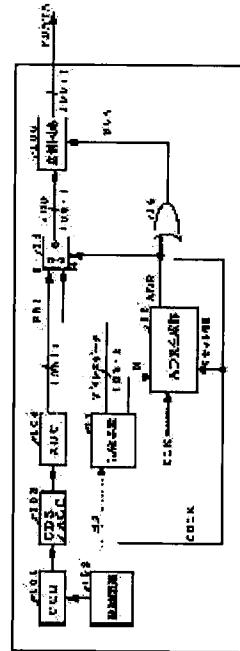
(54) CAMERA EQUIPMENT

(57)Abstract:

PURPOSE: To obtain a beautiful video image without defects apparently by adding the position of an image defect of an image pickup element as auxiliary information and allowing a signal processing section to supplement data of the picture element defect based on the added information.

CONSTITUTION: The equipment is provided with an addition means adding a position of a picture element defect of a CCD 101 for each line to a digital video signal from a camera head section as auxiliary information and a means using a signal processing section to compensate data of the picture element defect based on the information added by the additional means. Then a position and a number (N) for each line of the picture element defect of the CCD 101 are recorded in a storage means 11. A number N of the picture element defect in the line is read from the storage means 11 by an ADR generating section 12. The ADR generating section 12 generates an address output

signal ADR representing an output period of address data. An OR section 14 generates a BLK signal rising faster by $(N+1)$ clocks than the CBLK from the ADR and CBLK signal. The CBLK signal is a signal denoting the effective area of the image.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18790

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl.⁶

H 04 N 5/335
5/225

識別記号

府内整理番号

F I

H 04 N 5/335
5/225

技術表示箇所

P
Z

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号

特願平7-163719

(22) 出願日

平成7年(1995)6月29日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 出口 明輝

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

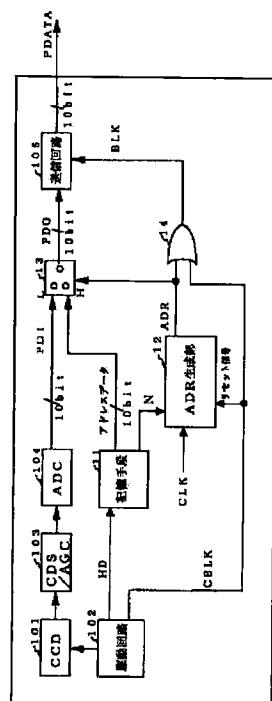
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 カメラ装置

(57) 【要約】

【構成】 撮像素子101とその周辺回路、撮像素子101からの出力信号をデジタル信号に変換するADコンバータ104、レンズ等からなるカメラヘッド部100からのデジタル映像信号に補助情報として各ライン毎に撮像素子101の画素欠陥の位置を付加し、信号処理部203でこの画素欠陥のデータを補うようにしたものである。

【効果】 見かけ上欠陥のないきれいな映像を得ることができ、しかもカメラヘッド部の交換、または切り替えによる撮像素子の変更のない場合でも調整なしに常に補正を行うことができ、その場合でも専用の信号線を必要としない。



(2)

1

【特許請求の範囲】

【請求項1】 撮像素子からの出力信号をデジタル信号に変換してデジタル映像信号として出力するカメラヘッド部と、そのカメラヘッド部からのデジタル映像信号を処理するそのカメラヘッド部とは分離した信号処理部を備えてなるヘッド分離型のカメラ装置において、そのカメラヘッド部からのデジタル映像信号に補助情報として各ライン毎に撮像素子の画素欠陥の位置を付加する付加手段と、その付加手段にて付加された情報に基づいて信号処理部でこの画素欠陥のデータを補う手段を備えてなることを特徴とするカメラ装置。

【請求項2】 上記付加手段が撮像素子の画素欠陥のラインごとの位置と数を記憶してある記憶手段と、ラインごとにそのラインの画素欠陥の位置データを映像信号の水平ランキング期間に付加するラインデータ付加手段とを備えてなることを特徴とする請求項1記載のカメラ装置。

【請求項3】 上記ラインデータ付加手段がADR生成部と、OR部とを備えてなることを特徴とする請求項2記載のカメラ装置。

【請求項4】 撮像素子からの出力信号をデジタル信号に変換してデジタル映像信号として出力するカメラヘッド部と、そのカメラヘッド部からのデジタル映像信号を処理するそのカメラヘッド部とは分離した信号処理部を備えてなるヘッド分離型のカメラ装置において、そのデジタル映像信号に補助情報としてそのカメラヘッドのレンズによる歪みの情報を付加し、その情報を元に信号処理部で歪みに対する補正を行う手段を備えてなることを特徴とするカメラ装置。

【請求項5】 撮像素子からの出力信号をデジタル信号に変換してデジタル映像信号として出力するカメラヘッド部と、そのカメラヘッド部からのデジタル映像信号を処理するそのカメラヘッド部とは分離した信号処理部を備えてなるヘッド分離型のカメラ装置において、そのデジタル映像信号に補助情報としてAGC（自動利得制御）のゲインを付加し、ゲインレベルに応じて信号処理部においてS/N改善、輪郭強調の処理の制御を行う手段を備えてなることを特徴とするカメラ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パソコン、ワークステーション等の画像入力装置等として用いられるカメラ装置に関するものである。

【0002】

【従来の技術】 最近、カメラをコンピュータシステムに接続し、TV会議を行ったり、カメラの画像を取り込んで編集するなどの応用される事が目に付くようになった。そして、コンピュータシステムとの信号の相性の良さから、デジタル画像データが得られるデジタルカメラが注目されている。

2

【0003】 このような、デジタルカメラの一例を図8に示す。図8において、100はカメラヘッド部、101はCCD部（撮像素子）、102は駆動回路、103はCDS（相関2重サンプリング）回路/AGC（自動利得制御）回路、104はADC（アナログデジタル変換）回路、105は送信回路、200はコンピュータシステム、201はI/F部、202はメインメモリ、203はCPUである。

【0004】 図8に示すデジタルカメラにおいて、入射光はCCD101によって電気信号に変換され、CDS回路/AGC回路103で処理されたのち、ADC回路104でデジタルデータに変換され、送信回路105で映像データに同期信号が付加され、ビット列が出力される。

【0005】 図9に示すCCDのフィルタ構成の1画面の画像データが伝送される様子を図10に示す。図9において、CBLK信号は全部の画像データの内、有効な画像データの領域を示す信号であって、送信回路105は、この有効領域の画像データを伝送する。送信回路105は、水平ライン毎に、有効領域の始まりを示すSSYN信号、及び有効領域の終わりを示すESYN信号の同期信号を付加して送信する。ここでは、画像データはパラレルの場合であるが、配線数を減らすために、転送レートを上げて、シリアルで伝送することもある。

【0006】 コンピュータシステムでは、I/F部201でカメラヘッド部100からのビット列を入力して、PCIバス等の拡張バスにのせ、メインメモリ202に入力する。CPU203において演算を行い、輝度信号Yと色差信号R-Y及びB-Yを得る。このときライン相関を利用したS/N改善、輪郭強調等の補正を行うことによりノイズが少なく、シャープな映像を得ることができる。

【0007】

【発明が解決しようとする課題】 上記のように構成してなるデジタルカメラであれば、撮像素子には、撮像光から電気信号に変換できない画素がしばしば存在する。これは製造上の欠陥であるため完全になくすることは難しい。このように撮像素子に画素欠陥があると、その付近の映像信号が正しい値とならない。この画素欠陥の補正をするには画素欠陥の前後の信号で置き換えるため、画素欠陥の位置が必要となる。

【0008】 通常、特開平6-121236号公報に開示されているようにメモリなどの記憶手段にその撮像素子の画素欠陥の位置を記憶させてこれを読み出すことで実現するが、画素欠陥の位置は撮像素子ごとに異なるため、ヘッド分離型のカメラではカメラヘッド部の交換や複数のカメラヘッド部の映像を切り替えて処理しようとすると、信号処理部に持たせた記憶手段のデータをその都度入れ替えるか、または、カメラヘッド部に記憶手段を持たせて、信号処理部にデータを送る信号線を用意す

(3)

3

る必要があった。

【0009】また、得られる画像は、レンズの収差の関係で中膨らみの形状になるため、特開昭62-81180号公報、特開昭62-230267号公報等に開示されているように、上記レンズによる歪みの補正の方法が提供されているが、カメラヘッド部と信号処理部が離れている構成においてはカメラヘッド部を交換した場合にレンズも交換されるため、補正に使用するデータも変更する必要があった。

【0010】また、ライン相関によるS/N改善では、上下方向の輪郭がぼけてしまい、そのため輪郭強調を行うが、AGCによって入力信号のレベルを増幅しているときは通常S/N比が悪く、このようなときに輪郭強調を行うと信号に含まれているランダム雑音を強調してしまい、S/N比がさらに悪化する。

【0011】そして特公平5-16708号公報に開示されているようにAGCのゲインレベルによって輪郭強調とS/N改善作用の強弱を制御する方法があるが、ヘッド分離型のカメラでこれを実現しようとすると、逐次変化するAGCのレベルを信号処理部に伝達するための信号線が必要であった。

【0012】

【課題を解決するための手段】本発明のカメラ装置は上記のような課題を解決したもので、請求項1記載の発明においては、カメラヘッド部からのデジタル映像信号に補助情報として各ライン毎に撮像素子の画素欠陥の位置を付加する付加手段と、その付加手段にて付加された情報に基づいて信号処理部でこの画素欠陥のデータを補う手段を備えてなるものである。

【0013】また、請求項2記載の発明においては、上記請求項1記載の発明の付加手段が撮像素子の画素欠陥のラインごとの位置と数を記憶してある記憶手段と、ラインごとにそのラインの画素欠陥の位置データを映像信号の水平プランギング期間に付加するラインデータ付加手段とを備えてなるものであり、そして、請求項3記載の発明においては、上記請求項2記載の発明のラインデータ付加手段がADR生成部と、OR部とを備えてなるものである。

【0014】さらに、請求項4記載の発明においては、補助情報を記憶してある記憶手段、初期化時に映像信号にその情報を垂直プランギング期間に付加する初期データ付加手段、初期設定データを含む映像信号を送出する送信手段を設けてなるものである。

【0015】さらにまた、請求項5記載の発明においては、AGCのゲインレベルをデジタルデータに変換するADコンバータ、垂直プランギング期間に情報を付加するデータ付加手段、補助信号を付加した映像信号を送出する送信手段を設けてなるものである。

【0016】

【作用】本発明のカメラ装置は上記構成にて、請求項1

4

乃至請求項3記載の発明においては、撮像素子の画素欠陥の位置を示す情報が各ライン毎に付加されて伝送される。また、請求項4記載の発明においては、カメラヘッドで使用されているレンズによる映像の歪みの情報が初期化時に付加され伝送される。そして、請求項5記載の発明においては、AGCのゲインに関する情報が付加されて伝送される。

【0017】

【実施例】以下本発明のカメラ装置の実施例を図面とともに説明する。

【0018】まず、本発明のカメラ装置の第1の実施例を図1乃至図3とともに説明するが、上記従来例と同一部分であるCCD部101、駆動回路102、CDS/AGC回路103、ADC回路104、送信回路105の構成及び動作の説明は省略する。

【0019】図1において、記憶手段11には、その撮像素子の画素欠陥の各ラインごとの位置（アドレスデータ）と数（N）が記録されている。アドレスは図9に示すように撮像素子から出力される順に1、2、3…と割り振られていて、データの頭から何画素目が欠陥画素であるかを示している。

【0020】まず、記憶手段11からADR生成部12にそのラインでの画素欠陥の個数Nが読み込まれる。ADR生成部12で、アドレスデータの出力期間を示すアドレス出力信号ADRを生成する。OR部14で、ADRとCBLK信号から、図2に示すようなCBLKよりもN+1クロック立ち上がりの早いBLK信号をつくる。CBLK信号は、画像の有効領域を示す信号である。これらのパルスのタイミングを図2に示す。

【0021】例えば、あるラインに欠陥画素がn個存在したとすると、記憶手段11から読み出されたデータN=nがADR生成部12に入力される。ADR生成部はカウンタとデコーダとからなっており、カウンタはCBLKパルスによってCBLKが「H」の期間リセットされている。

【0022】図2に示したように、CBLKパルスの立ち下がりからMクロックで立ち上がる（MCLK CCDの駆動方式によって決まる）と、ADR信号はCBLKの立ち下がり（リセットの解除）からM-（n+1）クロックで立ち上がり、CBLKの立ち上がりで立ち下がる様に生成される。

【0023】マルチブレクサ部13は、ADR信号が「L」の間は、画像データを出し、ADR信号が「H」になるとアドレスデータを順次出力する。マルチブレクサ部13から出力される信号PDOは、画像データPDIのn+1クロック前に欠陥画素の個数のデータNが、nクロック前から順次n個のアドレスデータが付加された形式になっている。また、送信回路105によってBLK信号が「H」の間の画像データが出力される。送信回路105から出力されるデータ形式を図3に

(4)

5

示す。

【0024】図3において、SSYN及びESYNは画像の水平及び垂直方向の同期を示すタイミングレファレ*

$$\text{SSYN, } \underline{1}, \underline{3}, C4_1, C3_1, *C4_2, C3_2, \dots, ESYN$$

N パルス
映像信号

のようになる。BLK信号は、データ数N、アドレスデータ及び有効画像データが送出されている間「H」レベルになっているので、図3に示した様な、データ列が送信回路によって送出される。

【0025】上記第1の実施例では、送信回路がパラレル伝送の場合を示したが、シリアル伝送の場合であってもよい。このようにして送信されたデータ列はパソコンシステムで受信され、そのデータを元に補正を行う。

【0026】例えばあるラインのアドレスmの画素が欠陥であった場合、補色系のカラーフィルタを持っている撮像素子の出力信号は、図9の様にC1、C2、C1、C2、C1・・・、あるいはC4、C3、C4、C3・・・となるため、m番目のデータD_mは欠陥画素と同じフィルタの出力であるm-1番目のデータD_{m-2}とm+2番目のデータD_{m+2}から

【0027】

【数1】

$$D_m = \frac{D_{m-2} + D_{m+2}}{2}$$

【0028】として得られる。この演算はフィルタ配列が補色系の場合であり、撮像素子のフィルタ配列や駆動方法が変われば計算に使うデータも変わる。

【0029】次に本発明のカメラ装置の第2実施例を図4乃至図6とともに説明するが、上記だい1の実施例と同様、従来例と同一部分であるCCD部101、駆動回路102、CDS/AGC回路103、ADC回路104、送信回路105の構成及び動作の説明は省略する。

【0030】図4において、記憶手段21にはそのカメラヘッドに搭載されているレンズによる映像の歪みについての情報が格納されている。記憶手段21は、ラインの開始を水平基準信号HDによって検知し、そのラインのデータを読み出してデータPTとして送出する。

【0031】CBLKO信号は、画像の有効領域を示すパルスで、CKDLY部22、AND部23、OR部24によって、図4に示したパルス、SW信号及びCBLKO信号がつくられる。マルチプレクサ部25は、SW信号が「L」の間は、画像データを出し、SW信号が「H」になるとデータPTを送出する。画像データPDIは、CKDL24によって1画素遅延した信号となっているので、マルチプレクサ部25から送出される信号PDOは、画像データPDIの1クロック前にデータPTが付加された形式になっている。

【0032】CBLKO信号は、データPTと有効画像データが送出されている間「H」レベルになっているので、図5に示した様な、データ列が送信回路105に

(4)

6

*ンス信号である。例えば、図9で*の付いた画素のみが第1ラインの欠陥画素であったとすると、第1ラインの出力信号は、

よって出力される。パソコンシステムでは、受信したデータPTを元に映像信号に補正を行い、レンズによる映像の歪みを除去する。上記、第2の実施例では、送信回路105がパラレル伝送の場合を示したが、シリアル伝送の場合であってもよい。

【0033】次に本発明のカメラ装置の第3の実施例を図7を中心に説明するが、上記だい1の実施例と同様、従来例と同一部分であるCCD部101、駆動回路102、CDS/AGC回路103、ADC回路104、送信回路105の構成及び動作の説明は省略する。

【0034】図7において、AGC部のゲインレベルをADC2部31でデジタルデータに変換し、そのデータをフリップフロップ37にて水平ライン毎に保持し、データと合わせて10ビットのGain信号とする。CBLK信号は、画像の有効領域を示すパルスで、CKDLY部32、AND部33、OR部34によって、図4に示したパルス、SW信号及びCBLKO信号がつくられる。

【0035】マルチプレクサ部36は、SW信号が「L」の間は、画像データを出し、SW信号が「H」になるとGain信号を出力する。画像データPDIは、CKDL35によって1画素遅延した信号となっているので、マルチプレクサ部36から出力される信号 PDOは、画像データPDIの1クロック前にGain信号が付加された形式になっている。

【0036】CBLKO信号は、Gain信号と有効画像データが送出されている間「H」レベルになっているので、図5に示した様な、データ列が送信回路105によって出力される。パソコンシステムでは、受信したデータ列のGain信号から、AGCでのゲインが大きい、つまりS/N比が悪い時に輪郭強調を弱め、S/N改善を強めるように制御する。

【0037】このようにすることで、輪郭強調と、ライン相關を利用したS/N改善との相反する副作用を最小限に押えることができる。上記、第3の実施例では、送信回路がパラレル伝送の場合を示したが、シリアル伝送の場合であってもよい。

【0038】

【発明の効果】本発明のカメラ装置は上記のような構成であるから、請求項1乃至請求項3記載の発明においては、撮像素子の製造時に生じる画素欠陥のデータを補つてやることで見かけ上欠陥のないきれいな映像を得ることができ、しかもカメラヘッド部の交換、または切り替えによる撮像素子の変更の場合でも調整なしに常に補正を行うことができ、その場合でも専用の信号線を必要と

(5)

7

しない。

【0039】また、請求項4記載の発明においては、カメラヘッド部を交換した場合においても調整などの必要がなく、レンズによる画像歪みを補正できる。そして、請求項5記載の発明においては、S/N比の悪化の少ない輪郭強調をヘッド分離型のカメラにおいて専用の信号線を用いずに実現できる。

【図面の簡単な説明】

【図1】本発明のカメラ装置の第1の実施例を示すブロック図である。

【図2】本発明のカメラ装置の第1の実施例の各パルスと画像データのタイミング図である。

【図3】本発明のカメラ装置の第1実施例において出力されるデータ列の説明図である。

【図4】本発明のカメラ装置の第2の実施例を示すブロック図である。

【図5】本発明のカメラ装置の第2の実施例若しくは第3の実施例の各パルスと画像データのタイミング図である。

【図6】本発明のカメラ装置の第2の実施例若しくは第3の実施例において出力されるデータ列の説明図である。

【図7】本発明のカメラ装置の第3の実施例を示すブロック図である。

【図8】従来のカメラ装置の実施例を示すブロック図で

(5)

8

ある。

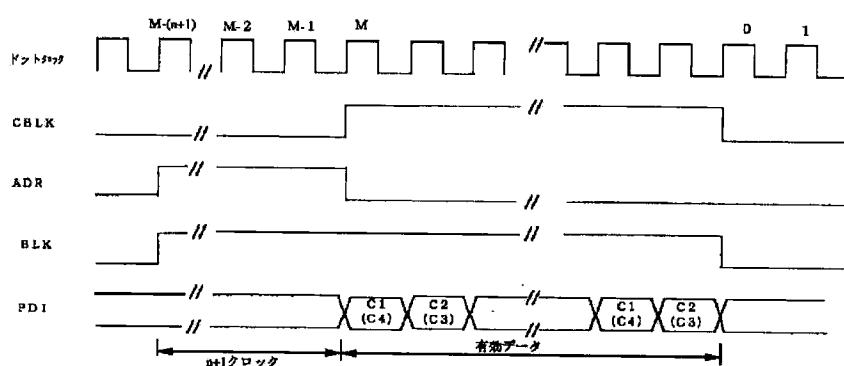
【図9】CCDのフィルタ配列の説明図である。

【図10】従来のカメラ装置の実施例において出力されるデータ列の説明図である。

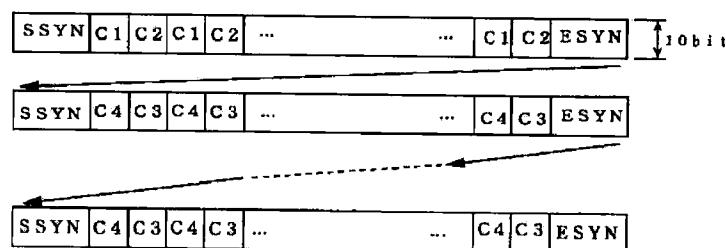
【符号の説明】

1 1, 2 1	記憶手段
1 2	ADR信号生成部
1 3, 2 5, 3 6	マルチプレクサ部
1 4, 2 4, 3 4	OR部
10 2 2, 2 6, 3 2, 3 5	1クロック遅延部
2 3, 3 3	AND部
3 1, 1 0 4	A/Dコンバータ
3 7	フリップフロップ
1 0 0	カメラヘッド部
1 0 1	撮像素子
1 0 2	撮像素子の駆動回路
1 0 3	サンプルホールド/A G C回
1 0 4	ADC回路
20 1 0 5	送信回路
2 0 0	コンピュータシステム
2 0 1	インターフェース部
2 0 2	メインメモリ
2 0 3	CPUまたは信号処理回路

【図2】

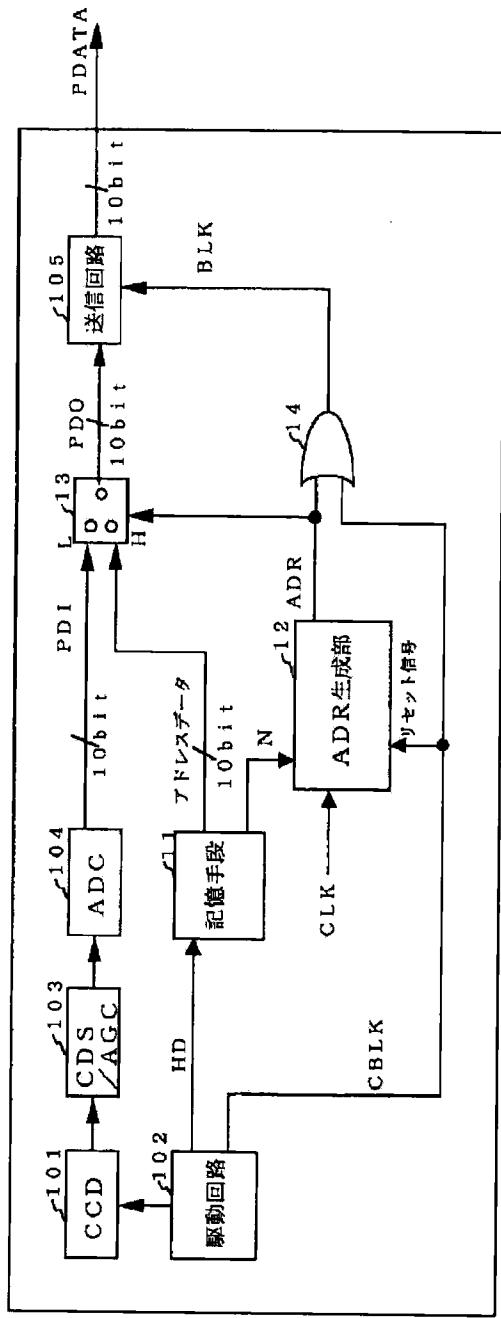


【図10】

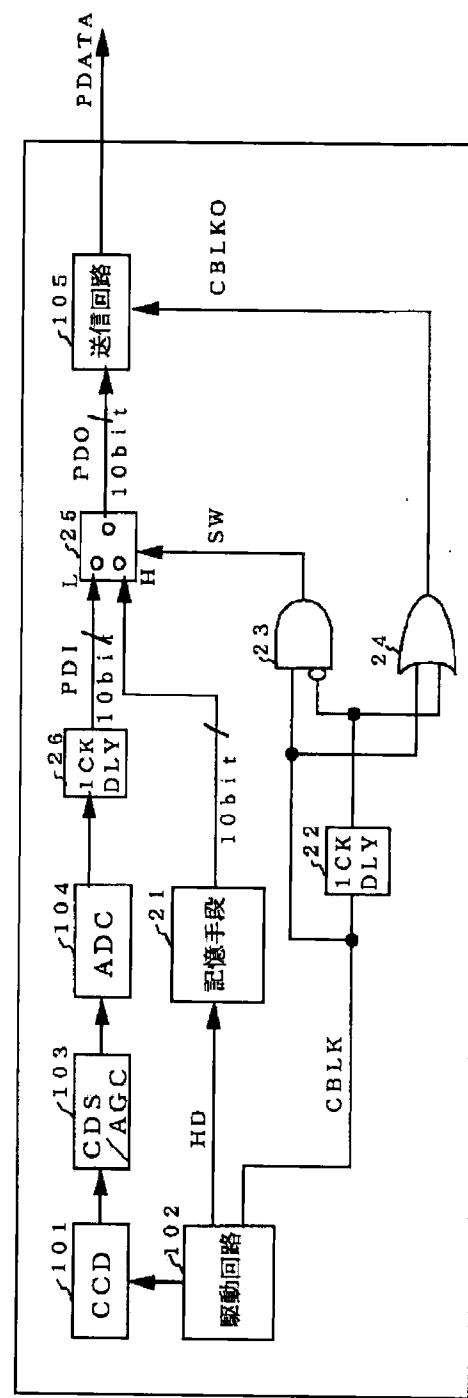


(6)

【図1】

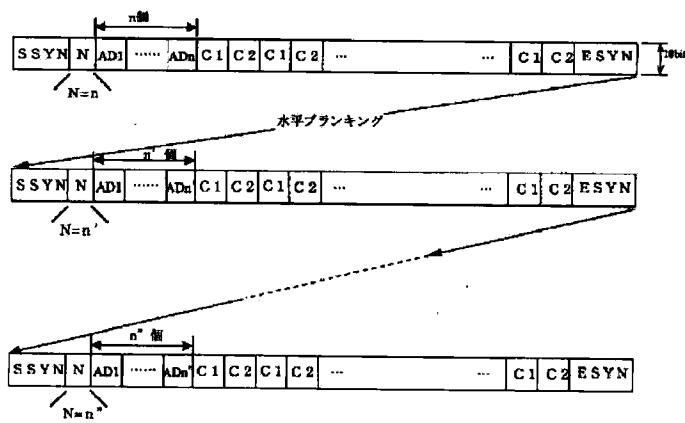


【図4】

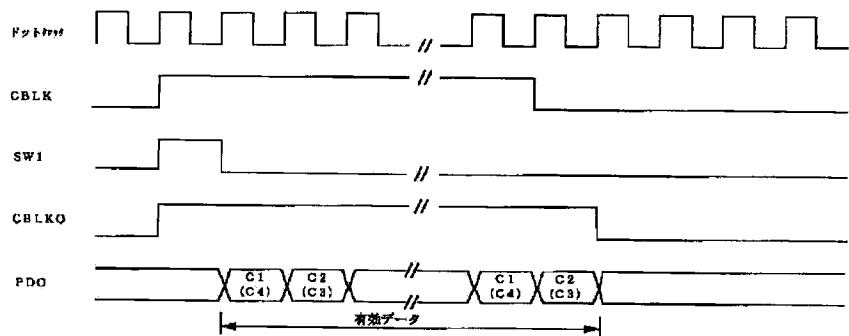


(7)

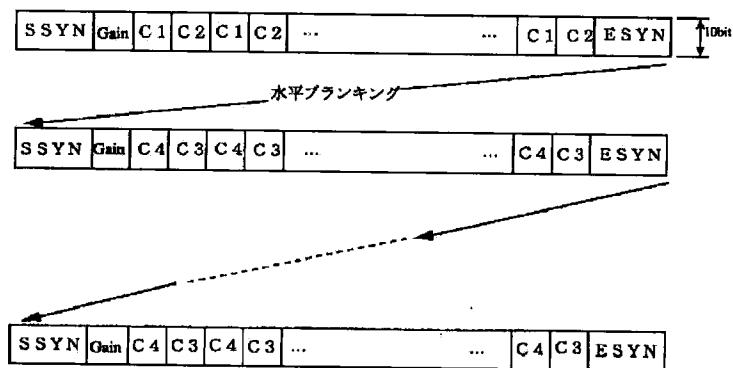
【図3】



【図5】

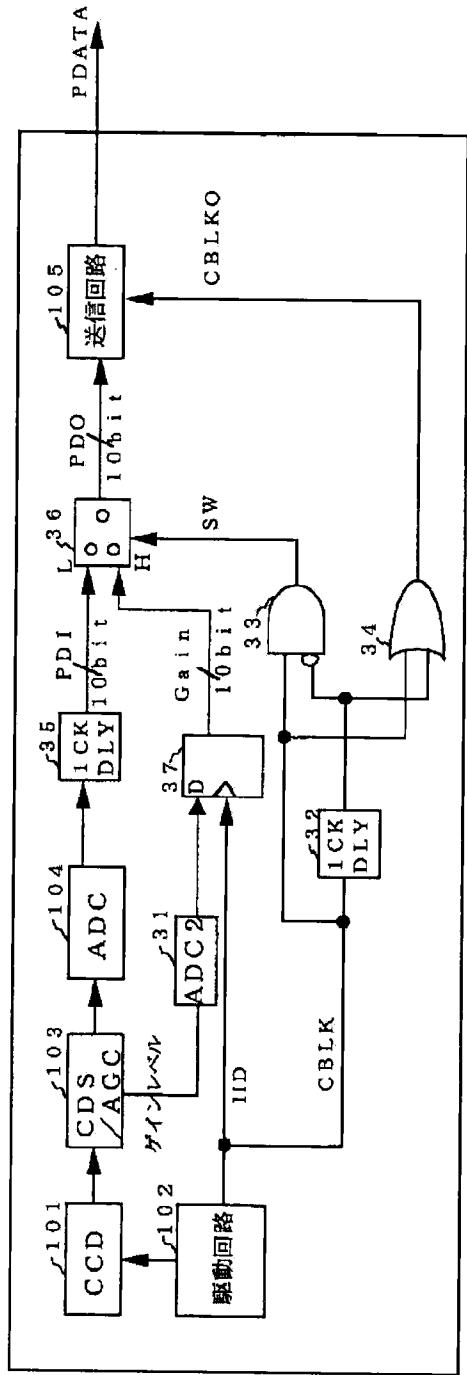


【図6】

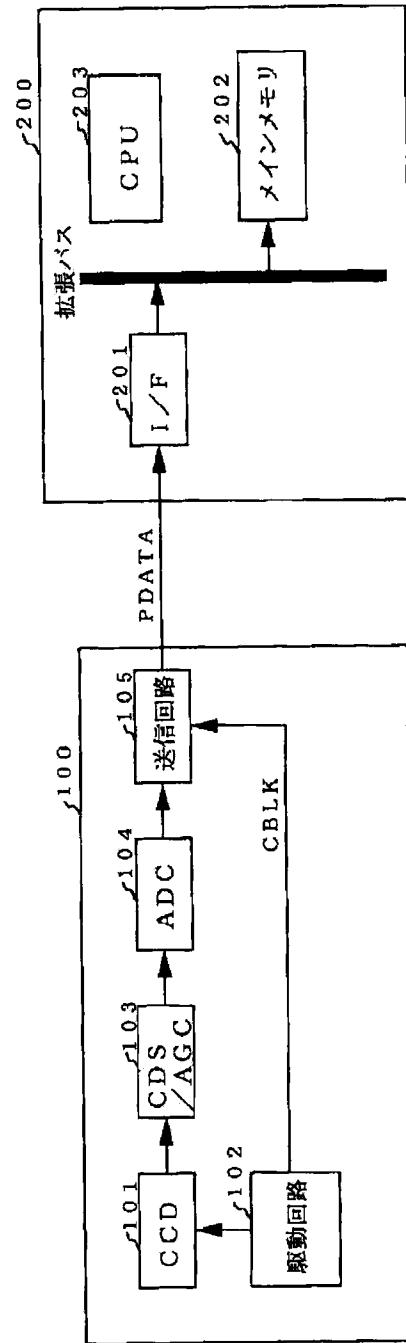


(8)

【図7】



【図8】



(9)

【図9】

